

NEC-5092 (3)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-313082

(43)Date of publication of application : 24.11.1998

(51)Int.Cl.

H01L 23/48

H01L 23/28

H01L 23/50

(21)Application number : 09-327967

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 28.11.1997

(72)Inventor : TANI TAKAYUKI
SEKIHASHI TAKASHI
HYODO HARUO

(30)Priority

Priority number : 09 55166

Priority date : 10.03.1997

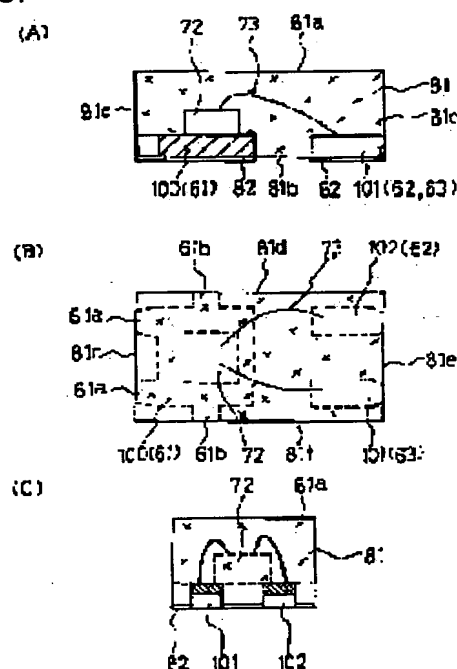
Priority country : JP

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To raise the effective area ratio of a semiconductor device to the maximum by a method wherein a semiconductor chip is installed on an island, the chip is electrically connected with lead terminals and the whole device is sealed to constitute of a surface, which is obtained by cutting an insulating material, at least one part of the external shape of a package.

SOLUTION: At least the upper surface 81a among the six surfaces forming the external shape of a package, which is a rectangular parallelepiped, is constituted of a surface formed by a molding die or the like and the side surfaces 81c to 81f forming the external shape of the package are constituted of cut surfaces obtained by cutting a resin 81. Parts, which are exposed in the backside 81b and the side surfaces 81c and 81e, of an island 61 and lead terminals 62 and 63 are soldered to a printed board as external connection electrodes 100 to 102 and this device is packaged in the package. Thereby, the dimensional accuracy of the island 6 and the surface of the resin can be enhanced. Accordingly, the area of the island 61 is augmented and the chip size of a semiconductor chip 12 housable in the package can be augmented.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-313082

(43) 公開日 平成10年(1998)11月24日

(51) Int.Cl.⁸

H 0 1 L 23/48
23/28
23/50

識別記号

F I

H 0 1 L 23/48
23/28
23/50

P
Z
B

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21) 出願番号 特願平9-327967

(22) 出願日 平成9年(1997)11月28日

(31) 優先権主張番号 特願平9-55166

(32) 優先日 平9(1997)3月10日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 谷 孝行

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 関端 隆

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

(72) 発明者 兵藤 裕雄

大阪府守口市京阪本通2丁目5番5号 三
洋電機株式会社内

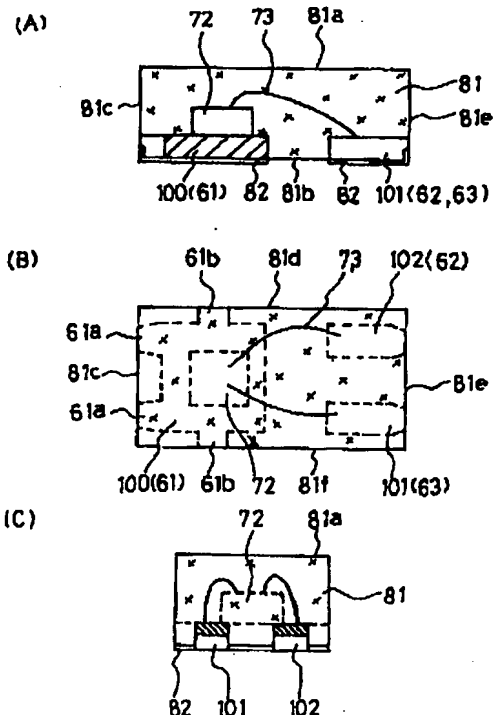
(74) 代理人 弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 有効面積率を向上した半導体装置の製造方法を提供する。

【解決手段】 半導体チップ72を固着し外部接続用電極となるアイランド61、61Aとそのアイランド61、61Aから延在形成され隣接するアイランド上に固着した半導体チップ72の他の外部接続用電極となる複数のリード端子62、63、62A、63Aとからなるフレーム64が連結バーによって複数の列方向に配置されたリードフレームの各アイランド上に導電ペーストを付着して半導体チップ72を固着し、隣接するリード端子と電気的に接続して、半導体チップ、及びリード端子を被覆しアイランド及びリード端子の反主面を露出するようにリードフレーム上に樹脂層を形成し、半導体チップが固着されたアイランドと半導体チップと電気的に接続されたリード端子とを囲む領域で個々に分割する。



【特許請求の範囲】

【請求項1】 半導体チップを固着するアイランドと、前記アイランドに先端を近接する複数のリード端子と、前記前記半導体チップの表面に形成した電極パッドと前記リード端子とを電気的に接続する接続手段と、前記半導体チップを含めて、前記アイランドとリード端子とを封止してパッケージ外形を形成する絶縁材料とを具備し、前記アイランドと前記リード端子とは分離しており、前記パッケージ外形の少なくとも一部は前記絶縁材料が硬化した後に切断された面によって構成する事を特徴とする半導体装置。

【請求項2】 前記切断面が上面と下面を除く4つの側面であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記切断面に、前記リード端子の切断面が外部接続端子として露出することを特徴とする請求項1記載の半導体装置。

【請求項4】 半導体チップを固着するアイランドと、前記アイランドに先端を近接するリード端子とを有するリードフレームを準備する工程と、前記アイランドの表面に半導体チップを固着する工程と、前記半導体チップの表面に形成した電極と前記リード端子とを電気的に接続する工程と、前記半導体チップを含め、前記アイランドとリード端子を絶縁材料で封止する工程と、前記絶縁材料を切断してパッケージ外形を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項5】 前記リードフレームには、一対の前記アイランドとリード端子とが行列状に多数個形成されていることを特徴とする請求項4記載の半導体装置の製造方法。

【請求項6】 前記切断する工程において、前記絶縁材料と共に前記リード端子をも切断する事を特徴とする請求項4記載の半導体装置の製造方法。

【請求項7】 半導体チップを固着し外部接続用電極となるアイランドと前記アイランドから延在形成され隣接する前記アイランド上に固着した前記半導体チップの他の外部接続用電極となる複数のリード端子とからなるフレームが連結バーによって複数の列方向（又は行方向）に配置されたリードフレームを準備する工程と、前記アイランドの一主面上に半導体チップを固着し、前記半導体チップが固着された前記アイランドと前記列方向（又は行方向）に隣接する前記リード端子とを電気的に接続する工程と、少なくとも前記半導体チップ、及び前記リード端子の表面を被覆し前記アイランド及び前記リード端子の反主面を露出するように前記リードフレーム上に樹脂層を形成する工程と、前記半導体チップが固着された前記アイランドと前記半導体チップと電気的に接続された前記リード端子とを囲む領域で個々に分割する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項8】 前記リードフレームには、前記アイランド、前記リード端子表面より凹み、且つ、前記アイランド、前記リード端子の裏面側と連続した底板が形成され、前記樹脂層を形成した後、少なくとも前記底板を除去し、個々に分割することを特徴とする請求項7記載の半導体装置の製造方法。

【請求項9】 前記樹脂層を形成する工程の後、前記リード端子をハーフカットしスリット孔を形成することを特徴とする請求項7記載の半導体装置の製造方法。

10 【請求項10】 前記スリット孔を形成して前記底板を除去した後、前記アイランド、前記リード端子及び前記スリット孔の表面にメッキ層を形成することを特徴とする請求項9記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関し、特に、半導体装置のチップ面積と、半導体装置をプリント基板等の実装基板上に実装する実装面積との比率で表す実装有効面積率を向上させた半導体装置に関する。

20 【0002】

【従来の技術】一般的にシリコン基板上にトランジスタ素子が形成された半導体装置は、図10Aに示すような構成が主に用いられる。1はシリコン基板、2はシリコン基板1が実装される放熱板等のアイランド、3はリード端子、及び4は封止用の樹脂モールドである。トランジスタ素子が形成されたシリコン基板1は、同図に示すように、銅ベースの放熱板等のアイランド2に半田等のろう材5を介して固着実装され、シリコン基板1の周辺に配置されたリード端子3にトランジスタ素子のベース電極、エミッタ電極とがそれぞれワイヤーボンディングによってワイヤー6で電気的に接続されている。コレクタ電極に接続されるリード端子はアイランドと一体に形成されており、シリコン基板をアイランド上に実装することで電気的に接続された後、エポキシ樹脂等の熱硬化型樹脂4によりトランスファーモールドによって、シリコン基板とリード端子の一部を完全に被覆保護し、3端子構造の半導体装置が提供される。図10Bを参照して、上記のトランスファーモールドでは、上下金型7、8で形成したキャビティ9の内部にダイボンド及びワイヤボンドを施したリードフレーム10を設置し、この状態でキャビティ9内に樹脂を注入することにより行われる。

【0003】

【発明が解決しようとする課題】

第1の課題：樹脂モールドされた半導体装置は、通常、ガラスエポキシ基板等の実装基板上に実装され、実装基板上に実装された他の半導体装置、回路素子と電気的に接続され所定の回路動作を行うための一部品として取り扱われる。

50 【0004】図11は、実装基板上に半導体装置を実装

したときの断面図を示し、20は半導体装置、21、23はベース又はエミッタ電極用のリード端子、22はコレクタ用のリード端子、30は実装基板である。実装基板30上に半導体装置20が実装される実装面積は、リード端子21、22、23とそのリード端子と接続される導電パッドで囲まれた領域によって表される。実装面積は半導体装置20内のシリコン基板（半導体チップ）面積に比べ大きく、実際に機能を持つ半導体チップの面積に比べ実装面積の殆どはモールド樹脂、リード端子によって取られている。

【0005】ここで、実際に機能を持つ半導体チップ面積と実装面積との比率を有効面積率として考慮すると、樹脂モールドされた半導体装置では有効面積率が極めて低いことが確認されている。有効面積率が低いことは、半導体装置20を実装基板30上の他の回路素子と接続使用とする場合に、実装面積の殆どが機能を有する半導体チップとは直接関係のないデッドスペースとなる。有効面積率が小さいと上記したように、実装基板30上でデッドスペースが大きくなり、実装基板30の高密度小型化の妨げとなる。

【0006】特に、この問題はパッケージサイズが小さい半導体装置に顕著に現れる。例えば、EIAJ規格であるSC-75A外形に搭載される半導体チップの最大サイズは、図12に示すように、0.40mm×0.40mmが最大である。この半導体チップを金属リード端子とワイヤーで接続し、樹脂モールドすると半導体装置の全体のサイズは、1.6mm×1.6mmとなる。この半導体装置のチップ面積は0.16mm²で、半導体装置を実装する実装面積は半導体装置の面積とほぼ同様として考えて、2.56mm²であるため、この半導体装置の有効面積率は約6.25%となり、実装面積の殆どが機能を持つ半導体チップ面積と直接関係のないデッドスペースとなっている。

【0007】この有効面積率に関する問題は、特に、上記したようにパッケージサイズが極めて小さく、チップサイズが大きい半導体装置において顕著に現れるが、半導体チップを金属リード端子でワイヤー接続し、樹脂モールドする、樹脂封止型の半導体装置であれば同様に問題となる。近年の電子機器、例えば、パーソナルコンピュータ、電子手帳等の携帯情報処理装置、8mmビデオカメラ、携帯電話、カメラ、液晶テレビ等において用いられる実装基板は、電子機器本体の小型化に伴い、その内部に使用される実装基板も高密度小型化の傾向にある。

【0008】しかし、上記の先行技術の樹脂封止型の半導体装置では、上述したように、半導体装置を実装する実装面積にデッドスペースが大きいため、実装基板の小型化に限界があり、実装基板の小型化の妨げの一つの要因となっていた。

第2の課題：ところで、有効面積率を向上させる先行技

術として特開平3-248551号公報がある。この先行技術について、図13にもとづいて簡単に説明する。この先行技術は、樹脂モールド型半導体装置を実装基板等を実装したときの実装面積をできるだけ小さくするために、半導体チップ40のベース、エミッタ、及びコレクタ電極と接続するリード端子41、42、43を樹脂モールド44の側面より外側に導出させず、リード端子41、42、43を樹脂モールド44側面と同一面となるように形成することが記載されている。

- 10 【0009】この構成によれば、リード端子41、42、43の先端部分が導出しない分だけ実装面積を小さくすることができ、有効面積率を若干向上させることはできる。しかし、上記の半導体装置では、半導体チップと接続されるリード端子の先端部分は樹脂モールド44の底面部のコーナー部で折り曲げ加工されるために、その折り曲げ工程時の応力に十分耐えられる構造することから、樹脂モールド内に埋め込まれた各リード端子の長さを十分にしなければならず、結果的に樹脂モールドサイズが実装する半導体チップサイズに比べて大きくなり
- 20 有効面積率の低下には至らない。さらに、半導体チップと接続される各リード端子を必要とし、材料コスト面及び製造工程が煩雑となり、製造コストを低減できない課題がある。

- 【0010】第3の課題：有効面積率を最大限大きくするには、上記したように、半導体チップを直接実装基板上に実装することにより、半導体チップ面積と実装面積とがほぼ同一となり有効面積率が最大となる。半導体チップを実装基板等の基板上に実装する一つの先行技術として、例えば、特開平6-338504号公報に示すように、半導体チップ46上に複数のパンプ電極46を形成したフリップチップを実装基板47にフェイスダウンボンディングする技術が知られている（図14参照）。この先行技術は、通常、MOSFET等、シリコン基板の同一主面にゲート（ベース）電極、ソース（エミッタ）電極、ドレイン（コレクタ）電極が形成され、電流或いは電圧のバスが横方向に形成される比較的発熱量の少ない横型の半導体装置に主に用いられる。

- 【0011】しかし、トランジスタデバイス等のようにシリコン基板が電極の一つとなり、各電極が異なる面に形成され電流のバスが縦方向に流れる縦型の半導体装置では、上記のフリップチップ技術を使用することは困難である。

- 第4の課題：半導体チップを実装基板等の基板上に実装する他の先行技術として、例えば、特開平7-38334号公報に記載されている示すように、実装基板51上に形成された導電パターン52上に半導体チップ53をダイボンディングし、半導体チップ53周辺に配置された導電パターン52と半導体チップ53との電極をワイヤ54で接続する技術が知られている（図15参照）。この先行技術では、先に述べたシリコン基板が一つの電

極を構成した縦型構造のトランジスタ等の半導体チップに用いることはできる。

【0012】半導体チップ53とその周辺に配置された導電パターン52とを接続するワイヤ54は通常、金細線が用いられることから、金細線とボンディング接続されるボンディング接合部のピール強度（引張力）を大きくするために、約200℃～300℃の加熱雰囲気中でボンディングを行うことが好ましい。しかし、絶縁樹脂系の実装基板上に半導体チップをダイボンディングする場合には、上記した温度まで加熱すると実装基板に歪みが生じること、及び、実装基板上に実装されたチップコンデンサ、チップ抵抗等の他の回路素子を固着する半田が溶融するために、加熱温度を約100℃～150℃程度にしてワイヤボンディング接続が行われているため、ボンディング接合部のピール強度が低下する問題がある。

【0013】この先行技術では、通常、ダイボンディングされた半導体チップはエポキシ樹脂等の封止用樹脂で被覆保護されるために、ピール強度の低下はエポキシ樹脂の熱硬化時の収縮等によって接合部が剥離されるという問題がある。

第5の課題：金型内に設置したときのリードフレーム10とキャビティ9との位置合わせ精度はプラス・マイナス50μ程度が限界である。このため、アイランド2の大きさは前記合わせ精度を考慮した大きさに設計しなければならない。従って、合わせ精度の問題は、パッケージの外形寸法に対するアイランド2の寸法を小さくし、これがパッケージの外形寸法に対して収納可能な半導体チップ1の最大寸法に制限を与えていた。

【0014】本発明は、上述した事情に鑑みて成されたものであり、本発明は、半導体装置のベース、エミッタ及びコレクタ用の外部接続電極を同一平面上に配置し、半導体チップ面積と実装基板上に実装される半導体装置の実装面積との比率である有効面積率を最大限向上させ、実装面積のデッドスペースを最小限小さくできる半導体装置の製造方法を提供する。

【0015】

【課題を解決するための手段】本発明は、上記の課題を解決するために、以下の特徴を持つものである。第1に、アイランド上に半導体チップを設置し、チップとリード端子とを電気的に接続し、全体を封止して、パッケージ外形の少なくとも一部を前記絶縁材料に切断した面によって構成したものである。

【0016】第2に、樹脂と共にリード端子を切断し、切断面を用いて外部接続端子を構成するものである。第3に、半導体チップを固着するアイランドと前記アイランドから延在形成され隣接する前記アイランド上に固着した前記半導体チップの外部接続用電極となる複数のリード端子とからなるフレームが連結バーによって複数の列方向（又は行方向）に配置されたリードフレームを準

備する工程と、前記アイランドの一主面上に半導体チップを固着し、前記半導体チップが固着された前記アイランドと前記列方向（又は行方向）に隣接する前記リード端子とを電気的に接続する工程と、少なくとも前記半導体チップ、及び前記リード端子の表面を被覆し前記アイランド及び前記リード端子の反主面を露出するように前記リードフレーム上に樹脂層を形成する工程と、前記半導体チップが固着された前記アイランドと前記半導体チップと電気的に接続された前記リード端子とを囲む領域で個々に分割する工程とを具備することを特徴としている。

【0017】

【発明の実施の形態】以下に本発明の実施の形態を詳細に説明する。図1は本発明の半導体装置を示す（A）断面図、（B）上面図、（C）側面図で、図2（A）は裏面図、図2（B）はその概略斜視図である。所望の能動素子を形成したシリコン半導体チップ72が導電性の接着剤やAu-Si共晶によってアイランド61の一主面上に接着されている。アイランド61は外部接続電極の一部100として使用される。リード端子62、63がアイランド61とは離れた位置に複数本設けられている。半導体チップ72の表面部分に形成した電極パッドとリード端子62、63の表面とがボンディングワイヤ73によって電気的に接続される。半導体チップ72とボンディングワイヤ73を含めて、アイランド61とリード端子62、63が樹脂81でモールドされて、大略直方体のパッケージ形状を形成する。樹脂81は熱硬化性エポキシ樹脂である。アイランド61とリード端子62、63は、厚さが約0.2mmの銅系の金属材料から成る。樹脂81の外形寸法は、縦×横×高さが、約0.7mm×1.0mm×0.6mmである。アイランド61の裏面側と、リード端子62、63の裏面側は樹脂81の表面に露出する。アイランド61とリード端子62、63の露出した表面には金属メッキ層82が形成される。そして、アイランド61とリード端子62、63はそれぞれ、外部接続端子100、101、102を構成する。

【0018】直方体のパッケージ外形を形成する6面のうち、少なくとも上面81aはモールド金型等によって形成された面で構成される。前記6面の内、側面81c、81d、81e、81fは樹脂81を切断した切断面で構成される。該切断面に沿ってリード端子62、63の切断面が露出する。アイランド61は複数の突起部61aを有し、これらの突起部61aの切断面も露出する。そして、プリント基板に対してアイランド61及びリード端子62、63の、裏面81bと側面81c、81eに露出した部分を外部接続電極100、101、102として半田付けし、この装置を実装する。

【0019】以上に説明した半導体装置は、以下の方法によって得ることができる。

第1工程：(図3)

まず、図3に示すようなリードフレーム60を準備する。図3Aはリードフレーム60の平面図であり、図3Bは図3AのX-X断面図である。本発明で用いられるリードフレーム60は、多数のフレーム64が行方向(又は列方向)に複数個配置されており、複数のフレーム64は連結バー65によって互いに連結されている。該フレーム64は、半導体チップの搭載部となるアイランド61と、外部接続用電極となる複数のリード端子62、63を有する。そして、互いに連結された複数のフレーム64が同じく連結バー65によって外枠66、66の間に連結される。更に、フレーム64に隣接して他のフレーム64Aが連結バー65Aによって同様に連結される。フレーム64のアイランド61に対して、隣のフレーム64Aのアイランド61Aに保持されたリード端子62A、63Aが対応する。この様にフレーム64を行・列方向に複数配置することで、1本の短冊状のリードフレーム60に例えば100個のフレーム64を配置する。各アイランド61、61Aから延在される各リード端子62、63、62A、63Aは、その中間部分の両側がくさび状に形成され、部分的に細く形成されている。また、このリードフレーム60内には、アイランド61、61A、及びリード端子62、63、62A、63Aの表面より凹んだ底板67が形成される。この底板67はアイランド61、61A、及びリード端子62、63、62A、63Aの裏面側と連続している。

【0020】上記の底板67を有するリードフレーム60は、例えば、約0.2mm厚の銅系の金属材料で形成された帯状あるいは矩形状のリードフレーム用金属薄板を用意し、このリードフレーム用金属薄板の一主面上に、上記したアイランド61、61A、及び62、63、62A、63Aからなるフレーム64、64A、連結バー65、65A及び外枠部66、66のパターンに合致したハードマスクまたはホトレジストマスクを形成し、該マスクで被覆されない前記金属薄板の露出表面を約0.15mm程度エッチングする事によって得ることができる。この様なハーフエッチング処理によって、アイランド61、61A、等の周囲(図3A内でハッチングした領域)に板厚約0.05mmの底板67を選択的に設けることができる。ここでは、リードフレーム60の板厚及び底板67の板厚は必要に応じて適宜に設定することができる。また、板厚が一様な底板67だけを別に用意し、フレーム64を形成したリードフレーム60と張り合わせる事によっても形成することができる。

【0021】第2工程：(図4)

次に、リードフレーム60に対してダイボンド工程とワイヤボンド工程を行う。図4A及び図4Bに示すように、各アイランド61、61Aの一主面上にAgペース

ト、半田等の導電ペースト71を塗布し、その導電ペースト71を介して各アイランド61、61A上に半導体チップ72を固着する。ここでは、導電ペースト71で各アイランド上に半導体チップを固着したが、各アイランド表面に金メッキを行い、そのメッキ上に半導体チップを共晶接続することも可能である。

【0022】更に、半導体チップ72の表面に形成されたボンディングパッドと、これに対応するリード端子62、63とをワイヤ73でワイヤボンディングする。ワイヤ73は例えば直径が20μmの金線から成る。ここで、ワイヤ73は各アイランド61上に固着した半導体チップ72の表面電極と、その隣に隣接した他のアイランド61Aから延在するリード端子62A、63Aとを接続する。半導体チップ72が固着された各アイランド61、61Aの裏面は、係る半導体チップ72の一つの外部接続用電極100となり、ワイヤで電気的に接続されたリード62A、63A、62、63は他の外部接続用電極101、102となる。アイランド61、61Aの裏面を接続用端子の1つとして用いる形態は、半導体チップ72として例えばトランジスタ、パワーMOSFET等の、電流経路が垂直方向になる半導体デバイス素子に適している。

【0023】半導体チップ72を固着するために塗布された導電性ペースト71は、図4から明らかなように、半導体チップ72が固着されるアイランド61、61A上に選択的に塗布形成する。リード端子62、63、...上に導電性ペースト71が付着すると、ワイヤボンディングを行う場合に、ボンディング装置のキャピラリーの先端部分に導電性ペーストがつまりボンディング不良が生じ生産性が低下する恐れがあるためである。この様な問題がない場合には、導電性ペーストをフレーム64、64A全面に塗布しても良い。

【0024】第3工程：(図5)

次に、全体を樹脂モールドする。図5Aに示すように、リードフレーム60上にエポキシ樹脂等の熱硬化性の封止用樹脂層81を形成し、各フレーム64、64A、...、半導体チップ72及びワイヤ72を封止保護する。樹脂層81は、素子A、素子B、素子C...を個別にパッケージングするものではなく、半導体チップ72の全部を被うように形成する。モールド後のリードフレーム60の状態を図5Bに示す。この樹脂層81は、リードフレーム60の外周に高さ数mmの枠材(図示しない)を配置し、その枠材で囲まれた領域内にエポキシ樹脂等の熱硬化性の樹脂を充填し、約150℃〜約200℃の温度で加熱処理を行い形成する。あるいは別の方法として、リードフレーム60を射出成形用の金型内に配置し、該金型内にエポキシ樹脂を充填、成形するトランスファーモールド技術によっても形成することもできる。

【0025】第4工程：(図6)

次に、リードフレーム60の裏面側にスリット孔91を形成する。このスリット孔91は、ダイシング装置のブレードによってリードフレーム60の裏面側をハーフカットすることにより形成したものであり、ハーフカットしたスリット孔91の深さは、少なくとも底板67の板厚を超えるものとする。そして、このスリット孔91は、各リード端子62、63...の中間に形成されたくさび状部分の付近に一本あるいは複数本形成する。

【0026】第5工程：(図7A)

次に、図7Aに示すように、リードフレーム60の裏面側表面を機械的あるいは化学的に削り、底板67を除去する。底板67の厚みは比較的薄いためにパフ等の研磨でリードフレーム60の裏面を削ることで容易に除去することができる。この工程により、各アイランド61、各リード端子62、63のパターンが裏面側に露出し、これらが連結バー65によって連結された状態になる。

【0027】第6工程：(図7B)

底板67を除去した後、同図に示すように、外部接続電極となる露出したアイランド61、61A...、リード端子62、63、62A、63A...及びスリット孔91の表面に半田メッキ等のメッキ層82を形成する。このメッキ層82は、リードフレーム60を電極の一方とする電解メッキ法により行われる。スリット孔91はリード端子62、63の板厚の全部を切断していないので、アイランド61とリード端子62、63はまだ電気的な導通が保たれている。更に各アイランド61、61A...等を形成するフレーム64、64A...が連結バー65、65Aによって共通接続されている。このように露出した金属表面のすべてが電気的に導通しているので、一回のメッキ工程でメッキ層82を形成することができる。

【0028】第7工程：(図8)

次に、樹脂層81を切断して各々の素子A、素子B、素子C...を分離する。即ち、半導体チップ72を固着したアイランド61と半導体チップ72と電気的に接続されたリード端子62A、63Aとを囲む領域(同図の矢印83、及び図4Aの一点鎖線83)で切断することにより、図1に示した半導体装置を形成する。切断にはダイシング装置が用いられ、ダイシング装置のブレードによって樹脂層81とリードフレーム60とを同時に切断する。切断する際には裏面側(スリット孔91を設けた側)にブルーシート(例えば、商品名：UVシート、リンテック株式会社製)を貼り付けた状態で、前記ダイシングブレードがブルーシートの表面に到達するような切削深さで行う。スリット孔91が位置する箇所では、少なくともスリット孔91の側壁に付着したメッキ層82を残すように形成する。この様に残存させたメッキ層82は、半導体装置をプリント基板上に実装する際に利用される。また、切断したリード端子の他方はアイランドに連続する突起部61aとして残存し、切断した

連結バー65、65Aは突起部61b(図1Bに示した)として残存する。切断されたリード端子62、63及び突起部61a、61bの切断面は、樹脂層81の切断面と同一平面を形成し、該同一平面に露出する。

【0029】以上の方法によって製造された半導体装置は、以下のメリットを有する。分割された半導体装置の各外部接続用電極の側面にはメッキ層82が形成されるので、実装基板上に半田固着した際に該半田が切断面の上部まで(スリット孔91の側壁に相当する部分)容易に盛り上がって半田フィレットを形成する。従って半田接合力が向上し熱ストレス等の応力による劣化を防止することができる。

【0030】また、分割された半導体装置の各外部接続用電極100、101、102の終端は、図2Aに示すように、半導体装置の終端部分でくさび状に形成されるために各接続用電極100、101、102が樹脂層81の側面から抜け落ちることを防止している。本願発明者は、チップサイズが0.40mm×0.40mmのトランジスタチップをアイランド61上に設置し、上述の製造方法によってパッケージサイズが1.0mm×0.7mmの半導体装置(図1(B)参照)を実現した。この時の、アイランドから形成された外部接続用電極100のサイズは0.6mm×0.6mm、リード端子62、63から形成された外部接続用電極101、102のサイズは0.25mm×0.15mmとすることができた。これら各外部接続用電極100、101、102及び半導体装置自体のサイズは実装される半導体チップサイズに応じて任意に設定することができる。ここで、上述した本発明の半導体装置の製造方法によって製造された半導体装置の有効面積率を、図12に示した従来の半導体装置と比較してみると、従来例で説明した半導体装置のチップサイズは、0.40mm×0.40mmで、この半導体チップ61を金属リード端子とワイヤーで接続し、樹脂モールドすると半導体装置の全体のサイズが1.6mm×1.6mmとなる。従って、半導体装置の面積は2.56mm²となり、チップ面積が0.16mm²になる。一方、半導体装置を実装する実装面積は半導体装置の面積とほぼ同様として考えて2.56mm²であるため、従来の半導体装置の有効面積率は約6.25%であった。

【0031】それに対して、本発明の製造方法によって製造された半導体装置は、チップサイズを同様にしても、金属製リード端子がパッケージから導出しないため、半導体装置サイズを1.0mm×0.7mmとすることができ、その面積が0.7mm²となる。従って、有効面積率は22.85%と従来と比べて約3.6倍向上する事ができ、実装基板上に実装する実装面積のデットスペースを小さくすることができ、実装基板の小型化に寄与することができる。

【0032】そして、多数個の素子をまとめてパッケー

ジグするので、個々にパッケージングする場合に比べて無駄にする材料を少なくでき。材料費の低減につながる更に、パッケージの外形をダイシング装置のブレードで切断することにより構成したので、あらかじめリードフレーム60の外枠66、66に位置あわせマークを形成しておき、該マークを使用してダイシングを行うことにより、リードフレーム60のパターンに対する樹脂外形の精度を向上できる。即ち、モールド金型による合わせ精度がプラス・マイナス50 μ 程度であるのに対して、ダイシング装置によって切断した樹脂外形はプラス・マイナス10 μ 程度に小さくできる。合わせ精度を小さくできることは、アイランド61の面積を増大して、搭載可能な半導体チップ72のチップ面積を増大できることを意味する。

【0033】尚、上述した実施形態では、3端子用のリードフレームを用いて説明をしたが、4端子用にする場合には、図9に示すように、アイランド61から3本のリード端子62、63、68を延在させて上述した方法で製造を行えば4端子用の半導体装置を提供することができる。また、上述した実施形態では、各アイランドに1つの半導体チップを固着したが、1つのアイランドに、例えばトランジスタを複数個固着すること、及び、トランジスタと縦型パワーMOSFET等の他の素子との複合固着も可能である。この様な場合には、リードフレームは図9に示すような多数のリード端子を有するものが使用される。

【0034】さらに、本実施形態では、半導体チップ72にトランジスタを形成したが、縦型或いは比較的発熱量の少ない横型のデバイスであればこれに限らず、例えば、パワーMOSFET、IGBT、HBT等のデバイスを形成した半導体チップであっても、本発明に適用ができることは説明するまでもない。加えて、リード端子の本数を増大することでBIP、MOS型等の集積回路等にも応用することができる。

【0035】

【発明の効果】以上に説明したように、本発明によれば、少なくとも一つの樹脂面をダイシングブレードによる切断面で構成することにより、アイランド61と樹脂面との寸法精度を向上できる。従って、アイランド61の面積を増大して、収納可能な半導体チップ72のチップ

サイズを増大できる。

【0036】更に、本発明の半導体装置の製造方法によれば、半導体チップを固着し外部接続用電極となるアイランドとそのアイランドから延在形成され隣接するアイランド上に固着した半導体チップの他の外部接続用電極となる複数のリード端子とからなるフレームが連結バーによって複数の列方向（又は行方向）に配置されたリードフレームの各アイランド上に導電ペーストを付着して半導体チップを固着し、列方向（又は行方向）に隣接するリード端子と電気的に接続して、半導体チップ、及びリード端子の表面を被覆しアイランド及びリード端子の反主面を露出するようにリードフレーム上に樹脂層を形成し、半導体チップが固着されたアイランドと半導体チップと電気的に接続されたリード端子とを囲む領域で個々に分割することにより、外部接続用電極となるアイランド及びリード端子とが封止用の樹脂層の側面から導出せずに同一平面上に形成し外観寸法を著しく小型化した半導体装置を容易に形成することができる。その結果、半導体装置の外観寸法を著しく小型化にすることができ、実装基板上に実装したときの不必要なデットスペースを無くすることができ、実装基板の小型化に大きく寄与することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置を示す図。

【図2】本発明の半導体装置を示す図。

【図3】本発明の半導体装置の製造方法を説明する図。

【図4】本発明の半導体装置の製造方法を説明する図。

【図5】本発明の半導体装置の製造方法を説明する図。

【図6】本発明の半導体装置の製造方法を説明する図。

【図7】本発明の半導体装置の製造方法を説明する図。

【図8】本発明の半導体装置の製造方法を説明する図。

【図9】他の実施の形態を説明する図。

【図10】従来の半導体装置を説明する断面図。

【図11】従来の半導体装置を説明する断面図。

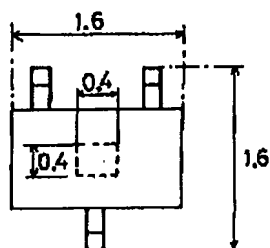
【図12】従来の半導体装置を説明する平面図。

【図13】従来の半導体装置を説明する平面図。

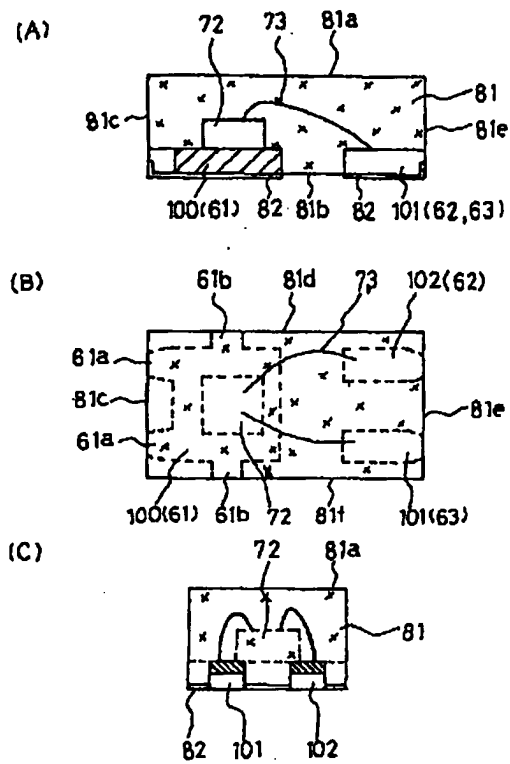
【図14】従来の半導体装置を実装基板上に実装した断面図。

【図15】従来の半導体装置を実装基板上に実装した断面図。

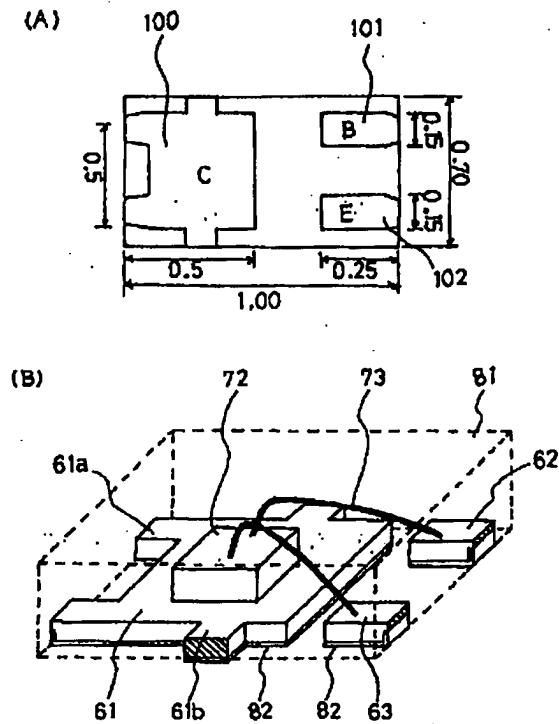
【図12】



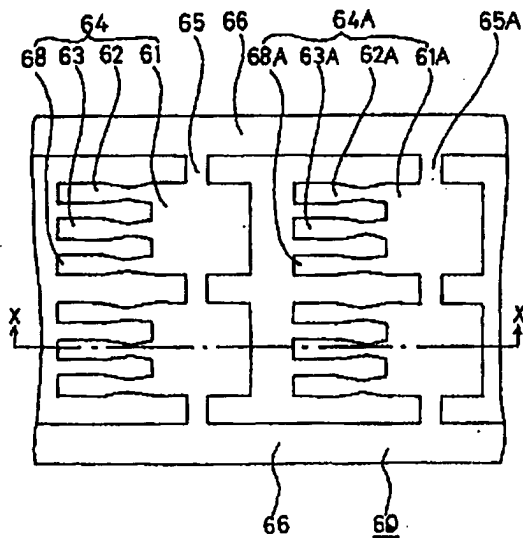
【図1】



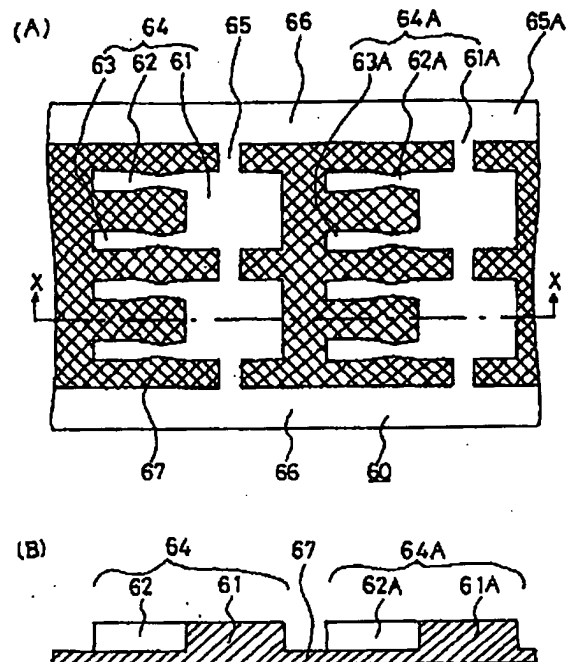
【図2】



【図9】

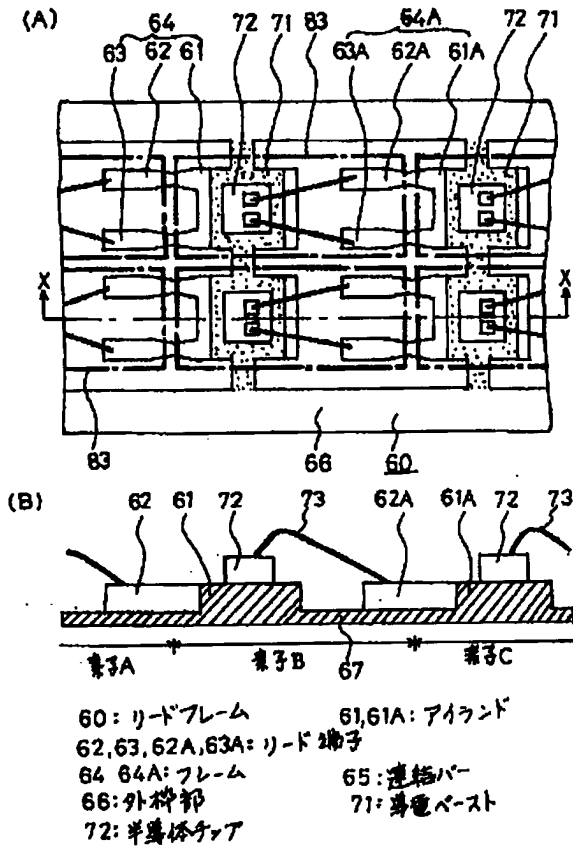


【図3】

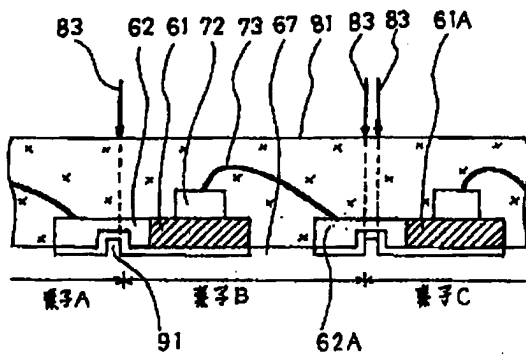


60: リードフレーム 61 61A: アイランド
 62, 63, 62A, 63A: リード端子
 64 64A: フレーム
 65: 連結バー 66: 外枠部

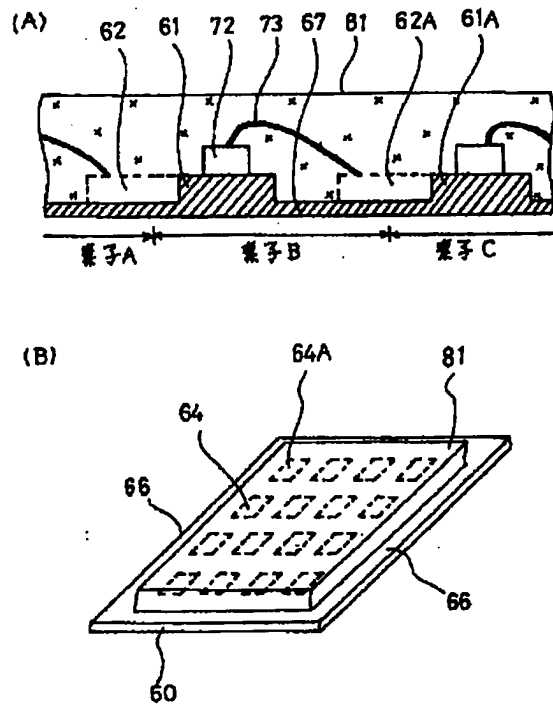
【図4】



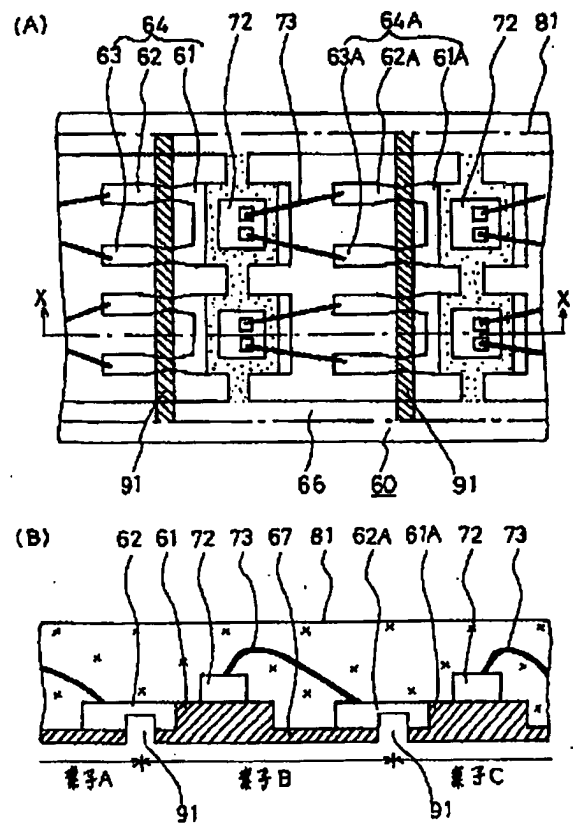
【図8】



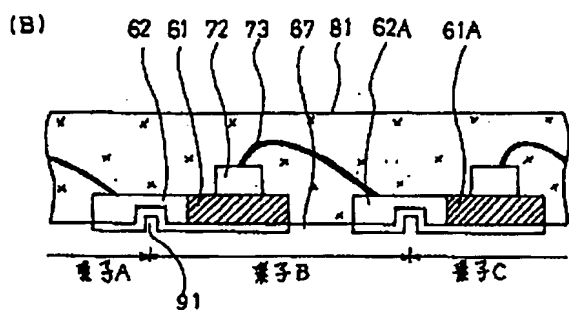
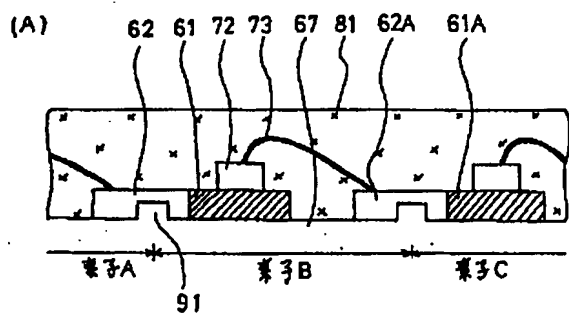
【図5】



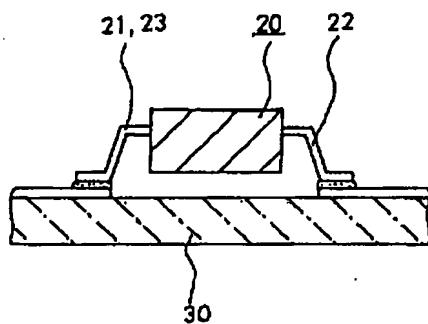
【図6】



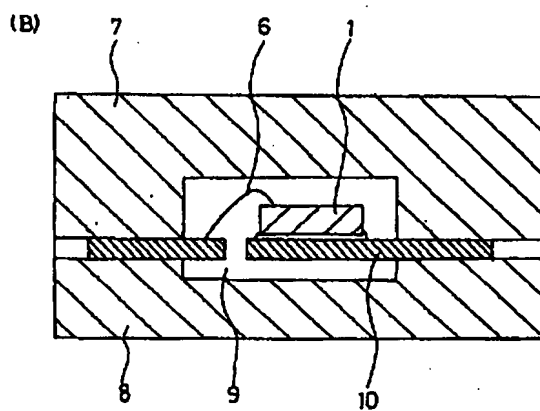
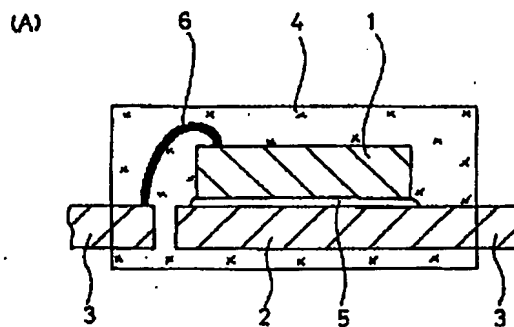
【図7】



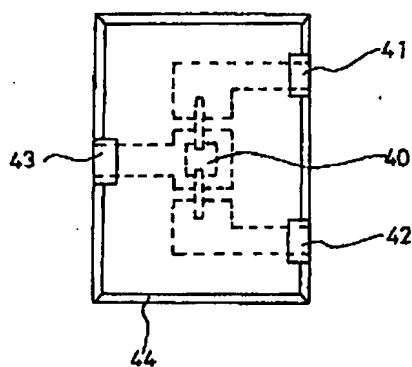
【図11】



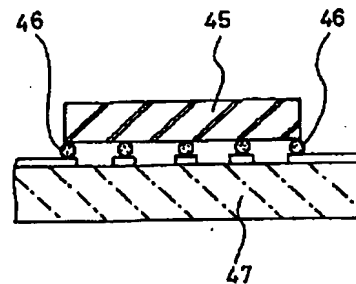
【図10】



【図13】



【図14】



【図15】

